

B

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-162473

(43)Date of publication of application : 20.06.1997

(51)Int.Cl.

H01S 3/096

G11B 7/125

H01S 3/133

(21)Application number : 07-346791

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 12.12.1995

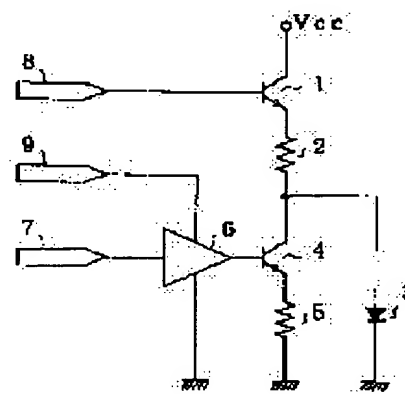
(72)Inventor : FURUMIYA SHIGERU

## (54) SEMICONDUCTOR LASER DRIVE CIRCUIT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor laser drive circuit for use in an optical disc device or the like, which can perform high-speed operation and produce an output not fluctuated by the variations in a power voltage, by using NPN type transistors for the transistors of the drive circuit.

**SOLUTION:** A first transistor 1 is connected at its collector to a power source, and at its emitter to a parallel circuit of a second transistor 4 and a semiconductor laser 3 via a resistor 2. First and second powers are determined according to the voltage levels at input terminals 8 and 9, and the output at a data input terminal 7 is connected via a buffer 6 to a transistor 4. The output of the semiconductor laser 3 is interrupted according to the input data between the levels set by the first and second power setting terminals 8 and 9.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-162473

(43)公開日 平成9年(1997)6月20日

(51)Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 S	3/096		H 0 1 S	3/096
G 1 1 B	7/125		G 1 1 B	7/125
H 0 1 S	3/133		H 0 1 S	3/133

審査請求 未請求 請求項の数2 F D (全 5 頁)

(21)出願番号 特願平7-346791

(22)出願日 平成7年(1995)12月12日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 古宮 成

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

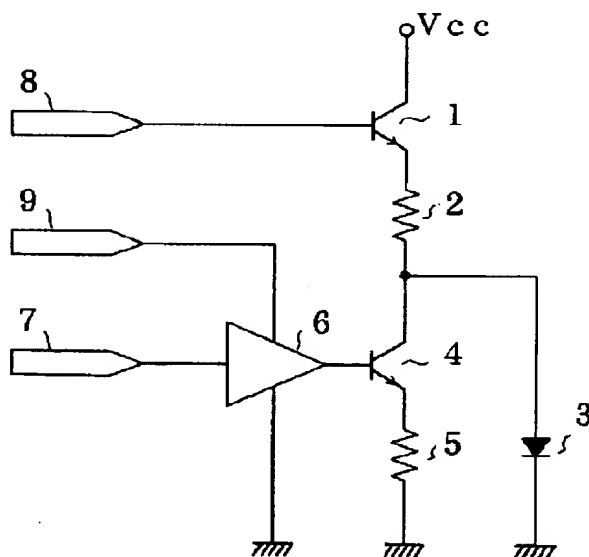
(74)代理人 弁理士 岡本 宜喜

(54)【発明の名称】 半導体レーザ駆動回路

(57)【要約】

【課題】 本発明は光ディスク装置等に用いる半導体レーザ駆動回路において、駆動回路のトランジスタにNPN型を用いて高速動作を可能にし、電源電圧の変動で出力が変化しないようにすること。

【解決手段】 第1のトランジスタ1のコレクタを電源、エミッタを抵抗2を介して第2のトランジスタ4と半導体レーザ3に並列接続する。入力端子8、9のレベルにより第1、第2のパワーを設定し、データ入力端子7の出力をバッファ6を介してトランジスタ4に与える。そして第1、第2のパワー設定端子8、9で設定されたレベルの間で入力データにより半導体レーザ3の出力を断続するようにしている。



**【特許請求の範囲】**

**【請求項1】** コレクタがプラス電源に接続されエミッタが第1の抵抗器の一端に接続された第1のNPNトランジスタと、前記第1の抵抗器の他端にアノードが接続されカソードがグラウンドに接地された半導体レーザと、コレクタが前記半導体レーザのアノードに接続されエミッタが第2の抵抗器を経由してグラウンドに接地された第2のNPNトランジスタと、入力データが入力端に供給され、その出力を前記第2のNPNトランジスタのベースに供給するロジックバッファとを備え、前記第1のNPNトランジスタのベース電圧で半導体レーザの第1パワーを、前記ロジックバッファの電源電圧で第2パワーを制御することにより前記半導体レーザを前記入力データにより前記第1パワーと前記第2パワーとの間でスイッチングすることを特徴とする半導体レーザ駆動回路。

**【請求項2】** コレクタがプラス電源に接続されエミッタが第1の抵抗器の一端に接続された第1のNPNトランジスタと、前記第1の抵抗器の他端にアノードが接続されカソードがグラウンドに接地された半導体レーザと、コレクタが前記半導体レーザのアノードに接続されエミッタが第2の抵抗器を経由してグラウンドに接地された第2のNPNトランジスタと、複数の入力データが入力端に供給され、夫々の複数の出力を抵抗器を介して前記第2のNPNトランジスタのベースに共に供給するロジックバッファとを備え、前記第1のNPNトランジスタのベース電圧で半導体レーザの第1パワーを、前記ロジックバッファの電源電圧で第2パワーを制御することにより前記半導体レーザを前記複数の入力データにより前記第1パワーと前記第2パワーとの間で多値にスイッチングすることを特徴とする半導体レーザ駆動回路。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は光ディスク装置等に用いる半導体レーザ駆動回路に関するものである。

**【0002】**

**【従来の技術】** 光ディスク装置では、ディスクヘデータを書き込むとき、ピックアップで絞ったレーザ光を回転するディスク面に照射し、そのレーザ光を高速に強度変調することでマークを記録する。レーザの光源には一般に半導体レーザが用いられる。半導体レーザは、カソード側が接地されているものと、アノード側が接地されているものと2通りある。カソード側が接地の半導体レーザの従来の駆動回路の一例を図5に示す。本図において、PNPトランジスタ101と抵抗器102で構成されるバイアス電流源103と、同じくPNPトランジスタ104と抵抗器105で構成されるピーク電流源106とで半導体レーザ107を並列駆動し、ピーク電流源側の電流をPNPトランジスタ108でスイッチングす

る。ピーク光出力の制御は、ピーク電流源106のトランジスタ104のベース電圧により設定し、同様にバイアス光出力の制御はバイアス電流源103のトランジスタ101のベース電圧により設定する。ここで使用するトランジスタ101, 104, 108としては、半導体レーザ107の極性及び正の電源の関係から、PNP型のものを用いるのが一般的である。

**【0003】**

**【発明が解決しようとする課題】** 光ディスクヘデータを高速に書き込む用途には、当然に前述したスイッチングを行うトランジスタも高速な応答が要求される。説明した従来のレーザ駆動回路は、PNPトランジスタを用いている。PNPトランジスタは、NPNトランジスタと比較して構造上、大電流且つ高速動作の特性が劣る。PNPトランジスタで十分な特性を得るためには、特殊な製造プロセスを必要とし、高価な部品になってしまうという問題があった。又別の問題として、レーザ出力を設定する制御電圧は電源電圧を基準としているため、電源電圧が変動したとき、相対的に制御電圧が変化し、レーザ出力も変動してしまうという欠点を有していた。

**【0004】** 本発明は上述の課題を解決するものであり、駆動回路のトランジスタとしてNPN型だけを用いて高速動作を可能にすると共に、電源電圧の変動の影響を受けない半導体レーザ駆動回路を提供することを目的とする。

**【0005】**

**【課題を解決するための手段】** 本願の請求項1の発明は、コレクタがプラス電源に接続されエミッタが第1の抵抗器の一端に接続された第1のNPNトランジスタと、前記第1の抵抗器の他端にアノードが接続されカソードがグラウンドに接地された半導体レーザと、コレクタが前記半導体レーザのアノードに接続されエミッタが第2の抵抗器を経由してグラウンドに接地された第2のNPNトランジスタと、入力データが入力端に供給され、その出力を前記第2のNPNトランジスタのベースに供給するロジックバッファとを備え、前記第1のNPNトランジスタのベース電圧で半導体レーザの第1パワーを、前記ロジックバッファの電源電圧で第2パワーを制御することにより前記半導体レーザを前記入力データにより前記第1パワーと前記第2パワーとの間でスイッチングすることを特徴とするものである。

**【0006】** 本願の請求項2の発明は、コレクタがプラス電源に接続されエミッタが第1の抵抗器の一端に接続された第1のNPNトランジスタと、前記第1の抵抗器の他端にアノードが接続されカソードがグラウンドに接地された半導体レーザと、コレクタが前記半導体レーザのアノードに接続されエミッタが第2の抵抗器を経由してグラウンドに接地された第2のNPNトランジスタと、複数の入力データが入力端に供給され、夫々の複数の出力を抵抗器を介して前記第2のNPNトランジスタのベ

スに共に供給するロジックバッファとを備え、前記第1のNPNトランジスタのベース電圧で半導体レーザの第1パワーを、前記ロジックバッファの電源電圧で第2パワーを制御することにより前記半導体レーザを前記複数の入力データにより前記第1パワーと前記第2パワーとの間で多値にスイッチングすることを特徴とするものである。

【0007】従って本発明によれば、第1のNPNトランジスタが、半導体レーザが第1パワー出力に必要な電流を供給する。データ入力されたロジックバッファで高速スイッチング駆動される第2のNPNトランジスタが電流を分流し、半導体レーザの電流を第2パワー出力に必要な電流まで減少させる。すると、第1パワーと第2パワー間でデータによりスイッチングされた光出力が得られる。

【0008】又請求項2の発明では、ロジックバッファとして多ビットのものをを用いているため、第1パワーと第2パワー間で多値に変調された光出力が得られる。出力パワーの設定は第1のNPNトランジスタのベース電圧、及びロジックバッファの電源電圧で夫々制御され、共に、グランド接地点からの基準電圧で決定される。

【0009】

【発明の実施の形態】

（第1実施形態）図1は、本発明の第1実施形態として説明する半導体レーザ駆動回路の回路図である。図1において、第1のNPNトランジスタ1はコレクタが電源に接続され、エミッタが第1の抵抗器2の一端に接続される。第1の抵抗器2の他端は第2のトランジスタ4のコレクタ及び半導体レーザ3のアノード端子に接続される。半導体レーザ3のカソード端は接地されており、トランジスタ4のエミッタは第2の抵抗器5を介して接地されている。第2のトランジスタ4のベースにはロジックバッファ6が接続される。ロジックバッファ6の入力端にはデータ入力端子7が接続されており、その電源端子には第2のパワー設定入力端子9が接続され、又第1のトランジスタ1のベースには第1のパワー設定入力端子8が接続されている。半導体レーザ3はカソードが接地されたプラス駆動型のものである。

【0010】図2は本実施形態の動作を示す信号波形図である。図1及び図2を用いて本実施形態の動作を説明する。まず、第2のNPNトランジスタ4がカットオフしている状態で、第1パワー設定電圧入力端子8の電圧を第1パワー設定電圧まで上昇させると（図2のa期間）、第1のNPNトランジスタ1が動作状態になる。そのため第1の抵抗器2を介して半導体レーザ3に第1パワーに必要な電流が供給され、半導体レーザ3は第1パワーで発光する。次に、データ入力端子7をハイにし、第2パワー設定電圧入力端子9の電圧、即ち、ロジックバッファ6の電源電圧を第2パワー設定電圧まで上昇させると（図2のb期間）、ロジックバッファ6の出

力、即ち、第2のNPNトランジスタ4のベース電圧が上昇し、第2のNPNトランジスタ4が動作状態になる。第2のNPNトランジスタ4は第2の抵抗器5で接地され、半導体レーザ3と並列回路になっているので、半導体レーザ3の電流を減少させる動きをし、半導体レーザ3は第2パワーで発光する。更に、この状態で入力データをスイッチングすると（図2のc期間）、半導体レーザ3の出力は第1パワーと第2パワー間で2値にスイッチングされる。

【0011】本実施形態は、非常に簡単な構成でありながら、NPNトランジスタとロジックバッファを用いているので安価で高速性能が得られる。更に、パワーを決定する制御電圧が接地点を基準としているので、電源電圧が多少変動しても、レーザの出力は変化しない。

【0012】（第2実施形態）図3は、本発明の第2実施形態として説明する半導体レーザ駆動回路の回路図である。図3において、第1実施形態と同一の番号を付したものは、同じ働きであるので説明を省略する。本図において2ビットのロジックバッファ10にはAデータ入力端子11とBデータ入力端子12とが接続され、ロジックバッファ10はこれらの出力を第3の抵抗器13及び第4の抵抗器14を介して第2のトランジスタ4のベースに供給する。ロジックバッファ10の電源端子は第2パワー設定入力端子9に接続されている。

【0013】図4は、本実施形態の動作を示す信号波形図である。図3及び図4を用いて本実施形態の動作を説明する。動作も第1実施形態と共通の部分は説明を省く。まず第1実施形態と同様に、半導体レーザ3を第1パワーで発光させる（図4のa期間）。次に、Aデータ入力端子11とBデータ入力端子12を共にハイにし、ロジックバッファ10の電源電圧を第2パワー設定電圧まで上昇させ（図4のb期間）、半導体レーザ3の電流を減少させ、第2パワーで発光させる。更にこの状態でAデータとBデータをスイッチングする（図4のc期間）。ここでAデータとBデータが共にハイの時、第3の抵抗器及び第4の抵抗器で合成された電圧は最も高く、第2のNPNトランジスタ4は最も電流を通過させ、半導体レーザ3は電流が最も減少するため第2パワーで発光する。AデータとBデータが共にローの時は、反対に半導体レーザ3の電流が最も増加し第1パワーで発光する。更に、Aデータ及びBデータのどちらか一方がハイの時は、第1パワーと第2パワーの中間値で発光する。図4のc期間のようにAデータとBデータを入力した場合、レーザ出力を第1パワーから第2パワーまでの4段階に変調することができる。

【0014】尚第2実施形態は、データ入力として2ビットの場合を示したが、3ビット以上にすれば4値以上の制御が可能になるのは明らかである。

【0015】

【発明の効果】本発明の半導体レーザ駆動回路は、使用

部品が、PNP型に対し比較的安価で特性の良いNPN型のトランジスタと、一般的なロジックバッファを用いた簡単な構成であるにもかかわらず、スイッチングの高速性と電源電圧の変動に対する安定性を確保できる効果がある。従って、フィードバック制御のオートレーザパワーコントロール回路と組み合わせることによって、光ディスク装置のレーザ駆動手段として最適である。

【図面の簡単な説明】

【図1】本発明の第1実施形態の半導体レーザ駆動回路の回路図である。

【図2】図2は第1実施形態の動作を示す信号波形図である。

【図3】図3は本発明の第2実施形態の半導体レーザ駆動回路の回路図である。

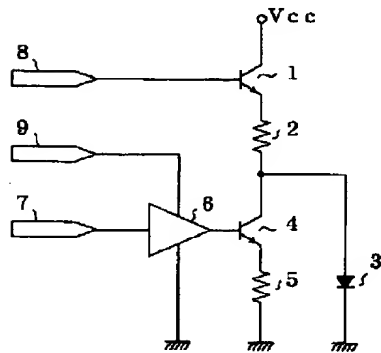
【図4】図4は第2実施形態の動作を示す信号波形図である。

【図5】図5は従来例の半導体レーザ駆動回路である。

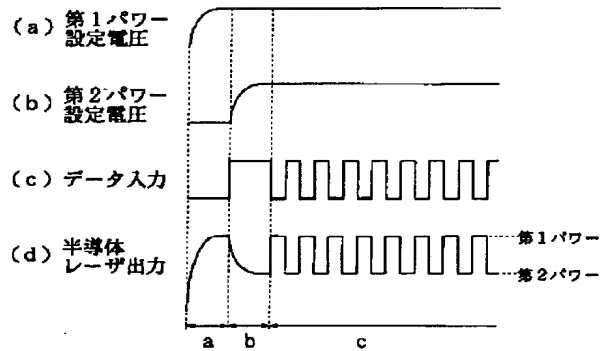
【符号の説明】

- 1 第1のNPNトランジスタ
- 2, 5, 13, 14 抵抗器
- 3 半導体レーザ
- 4 第2のNPNトランジスタ
- 6, 10 ロジックバッファ
- 7 データ入力端子
- 8 第1パワー設定入力端子
- 9 第2パワー設定入力端子
- 11 Aデータ入力端子
- 12 Bデータ入力端子

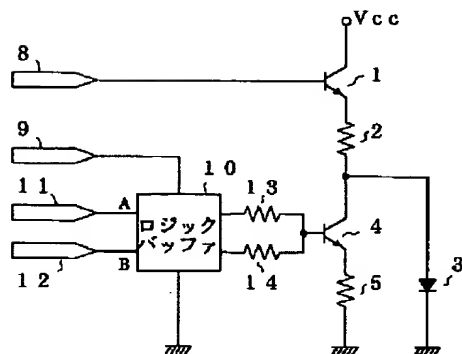
【図1】



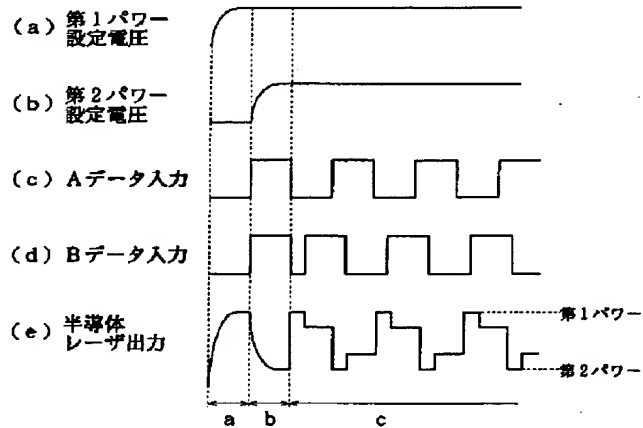
【図2】



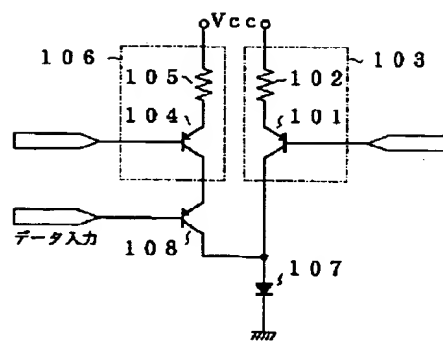
【図3】



【図4】



【図5】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**